

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-232379

(43) Date of publication of application : 05.09.1997

(51) Int. Cl. H01L 21/60
H01L 21/66
H01L 21/321

(21) Application number : 08-292303 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD
MATSUSHITA ELECTRON CORP

(22) Date of filing : 05.11.1996 (72) Inventor : KAWAKITA TETSUO
MATSUMURA KAZUHIKO
YAMANE ICHIRO

(30) Priority

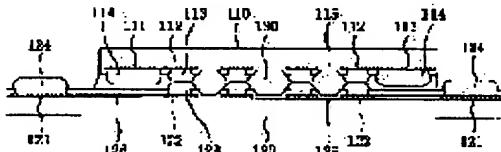
Priority number : 07328519 Priority date : 18.12.1995 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To downsize a semiconductor device where a first semiconductor chip and a second semiconductor chip are laminated, and make the first semiconductor chip and the second semiconductor chip be electrically surely continuous.

SOLUTION: A first electrode 111 for inspection to inspect the electric property of a first function element, and a first electrode 112 for connection electrically connected with the first function element are made on the main face of the first semiconductor chip 110 having a first function element. A second electrode 121 for inspection to inspect the electric property of the second function element and a second electrode 122 for connection electrically connected with the second function element are made on the main face of the second semiconductor chip 120 having the second function element. Then, in condition that the first bump 113 made on the first electrode 112 for connection and the third bump 123 made on the second electrode 122 for connection are joined with each other, the first semiconductor chip 110 and the second semiconductor chip 120 are united by insulating resin 130.



LEGAL STATUS

[Date of request for examination] 19.07.1999

[Date of sending the examiner's decision 18.06.2002
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's 2002-12538
decision of rejection]

[Date of requesting appeal against 05.07.2002
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232379

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁸ 識別記号 序内整理番号 F I 技術表示箇所
 H 0 1 L 21/60 3 1 1 H 0 1 L 21/60 3 1 1 S
 21/66 21/66 E
 21/321 21/92 6 0 4 D
 6 0 4 T

審査請求 未請求 請求項の数11 OL (全 13 頁)

(21)出願番号 特願平8-292303
(22)出願日 平成8年(1996)11月5日
(31)優先権主張番号 特願平7-328519
(32)優先日 平7(1995)12月18日
(33)優先権主張国 日本(JP)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(71) 出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号

(72) 発明者 河北 哲郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 松村 和彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

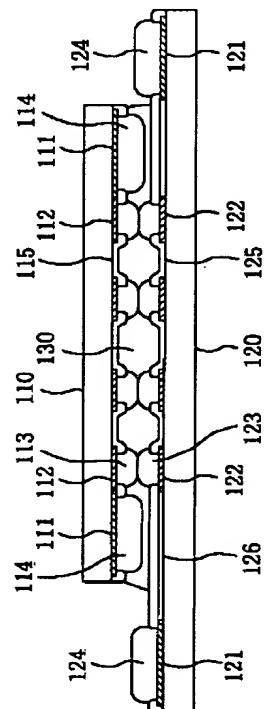
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 第1の半導体チップと第2の半導体チップとが積層されてなる半導体装置の小型化を図ると共に、第1の半導体チップと第2の半導体チップとが電気的に確実に導通されるようにする。

【解決手段】 第1の機能素子を有する第1の半導体チップ110の正面には、第1の機能素子の電気的特性を検査するための第1の検査用電極111と、第1の機能素子と電気的に接続されている第1の接続用電極112とが形成されている。第2の半導体素子を有する第2の半導体チップ120の正面には、第2の機能素子の電気的特性を検査するための第2の検査用電極121と、第2の機能素子と電気的に接続されている第2の接続用電極122とが形成されている。第1の接続用電極112の上に形成された第1のバンプ113と第2の接続用電極122の上に形成された第3のバンプ123とが接合した状態で、第1の半導体チップ110と第2の半導体チップ120とは絶縁性樹脂130により一体化されている。



1

【特許請求の範囲】

【請求項 1】 第 1 の機能素子を有する第 1 の半導体チップと、
 第 2 の機能素子を有する第 2 の半導体チップと、
 前記第 1 の半導体チップの主面に形成され、前記第 1 の機能素子の電気的特性を検査するための第 1 の検査用電極と、
 前記第 1 の半導体チップの主面に形成され、前記第 1 の検査用電極よりも小さい面積を有し且つ前記第 1 の機能素子と電気的に接続されている第 1 の接続用電極と、
 前記第 2 の半導体チップの主面に形成され、前記第 2 の機能素子の電気的特性を検査するための第 2 の検査用電極と、
 前記第 2 の半導体チップの主面に形成され、前記第 2 の検査用電極よりも小さい面積を有し且つ前記第 2 の機能素子と電気的に接続されている第 2 の接続用電極と、
 前記第 1 の接続用電極及び前記第 2 の接続用電極のうちの少なくとも一方の上に形成されたバンプとを備え、
 前記第 1 の半導体チップと前記第 2 の半導体チップとは、それぞれの主面が対向する状態で両者の間に介在する絶縁性樹脂により一体化されており、
 前記第 1 の機能素子と前記第 2 の機能素子とは、前記第 1 の接続用電極と前記第 2 の接続用電極とが前記バンプを介して接合することにより、電気的に接続していることを特徴とする半導体装置。

【請求項 2】 前記バンプは、該バンプの先端部と一体に形成され、該バンプの先端面と該バンプと対向する前記第 1 又は第 2 の接続用電極との隙間又は該バンプ同士の隙間のばらつきを吸収する隙間調整用バンプを有していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記隙間調整用バンプは軟金属よりもなることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 2 の半導体チップは前記第 1 の半導体チップよりも大きいと共に、前記第 2 の検査用電極は前記第 2 の半導体チップの周縁部における前記第 1 の半導体チップと対向していない領域に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記バンプは無電解めっき法により形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 第 1 の機能素子を有する第 1 の半導体チップの主面に、前記第 1 の機能素子の電気的特性を検査するための第 1 の検査用電極及び該第 1 の検査用電極よりも小さい面積を有し且つ前記第 1 の機能素子と電気的に接続されている第 1 の接続用電極を形成すると共に、第 2 の機能素子を有する第 2 の半導体チップの主面に、前記第 2 の機能素子の電気的特性を検査するための第 2 の検査用電極及び該第 2 の検査用電極よりも小さい面積を有し且つ前記第 2 の機能素子と電気的に接続されている第 2 の接続用電極とを形成する電極形成工程と、

2

前記第 1 の接続用電極及び前記第 2 の接続用電極のうちの少なくとも一方の上にバンプを形成するバンプ形成工程と、

前記第 1 の接続用電極と前記第 2 の接続用電極とを前記バンプを介して接合する接合工程と、

前記第 1 の半導体チップと前記第 2 の半導体チップとを、それぞれの主面が対向する状態で両者の間に介在する絶縁性樹脂により一体化する一体化工程とを備えていることを特徴とする半導体装置の製造方法。

10 【請求項 7】 前記バンプ形成工程は、前記バンプの先端部に、該バンプの先端面と該バンプと対向する前記第 1 又は第 2 の接続用電極との隙間又は該バンプ同士の隙間のばらつきを吸収する隙間調整用バンプを一体的に形成する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記バンプ形成工程は、前記バンプの先端部に、軟金属よりもなる前記隙間調整用バンプを形成する工程を含むことを特徴とする請求項 7 に記載の半導体装置の製造方法。

20 【請求項 9】 前記バンプ形成工程は、前記隙間調整用バンプを基板の平坦面に形成しておいた後、前記バンプを前記隙間調整用バンプに押圧して転写することにより、前記バンプの先端部に前記隙間調整用バンプを形成する工程を含むことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 前記電極形成工程は、前記第 1 の半導体チップよりも大きい前記第 2 の半導体チップの周縁部における前記第 1 の半導体チップと対向しない領域に前記第 2 の検査用電極を形成する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

30 【請求項 11】 前記バンプ形成工程は、無電解めっき法により前記バンプを形成する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マルチメディア機器や携帯機器等の高度な電子機器を達成するための高機能LSIを備えた半導体装置及びその製造方法に関するものである。

40 【0002】

【従来の技術】 近年、電子機器の高機能化の傾向は益々強くなる傾向にある。この傾向に伴って電子機器に搭載されるLSIに求められる特性も高機能化の傾向にある。

【0003】 しかしながら、LSIに求められる機能の全てを1チップ化することは開発期間の長期化及び開発コストの増加等の大きな問題がある。そこで、これらの問題を解決する1つの手段として、異なる種類のLSIが形成された半導体チップ同士を積層化して一体化する技術が提案されている。

【0004】以下、図面を参照しながら、異なるLSIが形成された半導体チップ同士が積層されてなる従来の半導体装置について説明する。

【0005】図19は従来の半導体装置の断面構造を示しており、図19に示すように、第1の半導体チップ11と第2の半導体チップ12とは、第1の半導体チップ11に形成された第1のアルミ電極13と第2の半導体チップ12に形成された第2のアルミ電極14とがバンプ15を介して接合されることにより、電気的に接続されている。この場合、第1及び第2のアルミ電極13、14とバンプ15とは金属的な接合をしており、第1及び第2のアルミ電極13、14とバンプ15との接合構造としては次に説明する2つの構造が知られている。

【0006】第1の接合構造は、図20に示すように、例えば、半導体チップ21のアルミ電極22の上にTi-Pd-AuやTiW-Au等からなるバリヤメタル23を形成した後、該バリヤメタル23に電解めっき法によりAuを析出させることにより、Auよりなるバンプ24を形成する方法である。

【0007】第2の接合構造は、図21に示すように、電解めっき法により基板25上に予め選択的にバンプ24を形成しておき、加熱された加圧・加熱ツール26を用いてバンプ24を半導体チップ21のアルミ電極22に加圧することにより、バンプ24をアルミ電極22に熱転写する方法である。

【0008】前記の第1及び第2の方法のいずれの方法においても、半導体チップ21のアルミ電極22にバンプ24を形成する工程は、非常に多く且つ複雑なプロセスが必要となる。また、半導体チップ21のアルミ電極22にバンプ24を形成する工程において、良品であった半導体チップ21が不良化することもあるので、全体としての半導体装置の製造コストが増大するという問題もある。

【0009】そこで、最近では無電解めっき法によってバンプ24を形成する方法が提案されている。この電解めっきによる方法は、図22に示すようなプロセスで行なうことができる。すなわち、NaOH溶液や磷酸溶液を用いるライトエッキングをアルミ電極22に施して、アルミ電極22の表面の自然酸化膜を除去した後、アルミ電極22の表面が再度酸化することを防ぐために、アルミ電極22の表面に対してジンケート処理を施して、アルミ電極22の表面にZn層を形成する。その後、半導体チップ21を無電解のNiめっき液に浸漬して、ZnとNiとの置換反応を起こさせてアルミ電極22の表面にNiを析出させる。所定の膜厚のNiを析出させた後、半導体チップ21をAuの無電解めっき液に浸漬して、析出したNiの表面に薄くAuめっきを行なう。この無電解めっきを用いる方法によると、半導体チップ21を無電解めっき液に浸漬するだけで、アルミ電極22に直接且つ選択的にバンプ24が形成できるので、大き

なコストメリットがある。

【0010】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置は、以下に説明するような種々の問題を有している。

【0011】まず、半導体装置の製造プロセスにおいては、拡散プロセスが終了してバンプの形成プロセスを行なう前に、通常、半導体チップに対してプローブ検査を行なうが、この際、プローバーのプローブ端子をアルミ電極に接触させる必要があるので、アルミ電極の面積を所定以下に小さくできない。アルミ電極は数百個から数千個も設けられるので、半導体チップひいては半導体チップ同士が積層されてなる半導体装置の小型化が制約を受けるという問題がある。

【0012】また、プローブ検査を行なう際、金属製のプローバーがアルミ電極の表面に接触してスクライプするので、アルミ電極の表面に傷ができるという問題がある。この状態で後工程の無電解めっきを行なうと、アルミ電極の表面の形状がそのまま反映する状態でNiが析出していくため、バンプの最終形状がいびつになる。この結果、半導体チップに形成された多数のバンプの高さにばらつきが生じるので、第1の半導体チップと第2の半導体チップとを積層したときに、第1の半導体チップの第1のアルミ電極と第2の半導体チップの第2のアルミ電極との間に電気的な導通が取れない場合が生じてしまうという問題がある。

【0013】また、半導体チップに面積の異なるアルミ電極を形成した場合、無電解めっきにより例えばNiを析出させてバンプを形成すると、面積の大きいアルミ電極に形成されるバンプは面積の小さいアルミ電極に形成されるバンプに比べて高さが高くなる。このため、第1の半導体チップと第2の半導体チップとを積層した場合、面積の大きいアルミ電極は対向するアルミ電極と電気的導通が取りやすいが、面積の小さいアルミ電極は対向するアルミ電極と電気的導通が取りにくくなり、不良品が発生するという問題がある。

【0014】前記に鑑み、本発明は、第1の半導体チップと第2の半導体チップとが積層されてなる半導体装置の小型化を図ると共に、第1の半導体チップと第2の半導体チップとが電気的に確実に導通されるようにすることを目的とする。

【0015】

【課題を解決するための手段】前記の目的を達成するため、請求項1の発明は、第1及び第2の半導体チップに形成される電極を、電気的接続をするための接続用電極とプローブ検査に用いる検査用電極とに分けて形成し、接続用電極は電気的接続が取れる範囲で面積を小さくする一方、検査用電極の面積はプローブ端子が接触可能な程度の大きさにするものである。

【0016】具体的に請求項1の発明が講じた解決手段

は、半導体装置を、第1の機能素子を有する第1の半導体チップと、第2の機能素子を有する第2の半導体チップと、前記第1の半導体チップの正面に形成され、前記第1の機能素子の電気的特性を検査するための第1の検査用電極と、前記第1の半導体チップの正面に形成され、前記第1の検査用電極よりも小さい面積を有し且つ前記第1の機能素子と電気的に接続されている第1の接続用電極と、前記第2の半導体チップの正面に形成され、前記第2の機能素子の電気的特性を検査するための第2の検査用電極と、前記第2の半導体チップの正面に形成され、前記第2の検査用電極よりも小さい面積を有し且つ前記第2の機能素子と電気的に接続されている第2の接続用電極と、前記第1の接続用電極及び前記第2の接続用電極のうちの少なくとも一方の上に形成されたバンプとを備え、前記第1の半導体チップと前記第2の半導体チップとは、それぞれの正面が対向する状態で両者の間に介在する絶縁性樹脂により一体化されており、前記第1の機能素子と前記第2の機能素子とは、前記第1の接続用電極と前記第2の接続用電極とが前記バンプを介して接合することにより、電気的に接続している構成とするものである。

【0017】請求項1の構成により、第1の半導体チップの正面に形成される電極を、第1の機能素子の電気的特性を検査するための第1の検査用電極と、第1の機能素子と電気的に接続されている第1の接続用電極とに分けて形成したと共に、第2の半導体チップの正面に形成される電極を、第2の機能素子の電気的特性を検査するための第2の検査用電極と、第2の機能素子と電気的に接続されている第2の接続用電極とに分けて形成したため、第1及び第2の接続用電極にプローブ検査用のプローブ端子を接触する必要がないので、プローブ検査工程において第1及び第2の接続用電極に傷が付着しない。

【0018】請求項2の発明は、請求項1の構成に、前記バンプは、該バンプの先端部と一体に形成され、該バンプの先端面と該バンプと対向する前記第1又は第2の接続用電極との隙間又は該バンプ同士の隙間のばらつきを吸収する隙間調整用バンプを有している構成を付加するものである。

【0019】請求項3の発明は、請求項2の構成に、前記隙間調整用バンプは軟金属よりなる構成を付加するものである。

【0020】請求項4の発明は、請求項1の構成に、前記第2の半導体チップは前記第1の半導体チップよりも大きいと共に、前記第2の検査用電極は前記第2の半導体チップの周縁部における前記第1の半導体チップと対向していない領域に形成されている構成を付加するものである。

【0021】請求項5の発明は、請求項1の構成に、前記バンプは無電解めつき法により形成されている構成を付加するものである。

【0022】請求項6の発明は、請求項1の発明に係る半導体装置の製造方法であって、第1の機能素子を有する第1の半導体チップの正面に、前記第1の機能素子の電気的特性を検査するための第1の検査用電極及び該第1の検査用電極よりも小さい面積を有し且つ前記第1の機能素子と電気的に接続されている第1の接続用電極を形成すると共に、第2の機能素子を有する第2の半導体チップの正面に、前記第2の機能素子の電気的特性を検査するための第2の検査用電極及び該第2の検査用電極よりも小さい面積を有し且つ前記第2の機能素子と電気的に接続されている第2の接続用電極を形成する電極形成工程と、前記第1の接続用電極及び前記第2の接続用電極のうちの少なくとも一方の上にバンプを形成するバンプ形成工程と、前記第1の接続用電極と前記第2の接続用電極とを前記バンプを介して接合する接合工程と、前記第1の半導体チップと前記第2の半導体チップとを、それぞれの正面が対向する状態で両者の間に介在する絶縁性樹脂により一体化する一体化工程とを備えている構成とするものである。

【0023】請求項6の構成により、第1の半導体チップの正面には、第1の機能素子の電気的特性を検査するための第1の検査用電極及び第1の機能素子と電気的に接続されている第1の接続用電極とが形成されていると共に、第2の半導体チップの正面には、第2の機能素子の電気的特性を検査するための第2の検査用電極及び第2の機能素子と電気的に接続されている第2の接続用電極が形成されているため、第1及び第2の検査用電極をプローブ検査用に用いる一方、第1及び第2の接続用電極にはプローブ端子を接触させる必要がない。

【0024】請求項7の発明は、請求項6の構成に、バンプ形成工程は、前記バンプの先端部に、該バンプの先端面と該バンプと対向する前記第1又は第2の接続用電極との隙間又は該バンプ同士の隙間のばらつきを吸収する隙間調整用バンプを一体的に形成する工程を含む構成を付加するものである。

【0025】請求項8の発明は、請求項7の構成に、前記バンプ形成工程は、前記バンプの先端部に、軟金属よりなる前記隙間調整用バンプを形成する工程を含む構成を付加するものである。

【0026】請求項9の発明は、請求項7の構成に、前記バンプ形成工程は、前記隙間調整用バンプを基板の平坦面に形成しておいた後、前記バンプを前記隙間調整用バンプに押圧して転写することにより、前記バンプの先端部に前記隙間調整用バンプを形成する工程を含む構成を付加するものである。

【0027】請求項10の発明は、請求項6の構成に、前記電極形成工程は、前記第1の半導体チップよりも大きい前記第2の半導体チップの周縁部における前記第1の半導体チップと対向しない領域に前記第2の検査用電極を形成する工程を含む構成を付加するものである。

【0028】請求項11の発明は、請求項6の構成に、前記バンプ形成工程は、無電解めっき法により前記バンプを形成する工程を含む構成を付加するものである。

【0029】

【発明の実施の形態】

(第1の実施の形態) 以下、本発明の第1の実施形態に係る半導体装置について、図1を参照しながら説明する。

【0030】図1は第1の実施形態に係る半導体装置の断面構造を示しており、図示は省略するが、第1の半導体チップ110内には第1の機能素子が形成されていると共に、第2の半導体チップ120内には第2の機能素子が形成されている。

【0031】図1に示すように、第1の半導体チップ110の主面には、第1の機能素子の電気的特性を検査するためのアルミニウムよりも小さい面積を有し、第1の機能素子と電気的に接続されているアルミニウムよりも大きい面積を有し、第1の接続用電極112とが形成されている。また、第1の半導体チップ120の主面には、第2の機能素子の電気的特性を検査するためのアルミニウムよりも小さい面積を有し、第2の機能素子と電気的に接続されているアルミニウムよりも大きい面積を有し、第2の接続用電極122とが形成されている。この場合、第1の接続用電極112と第2の接続用電極122とは互いに対向する位置に形成されている。

【0032】第1の接続用電極112の上には第1のバンプ113が形成されていると共に、第1の検査用電極111の上には第2のバンプ114が形成されおり、第1の半導体チップ110の主面における第1のバンプ113及び第2のバンプ114が形成されていない領域には第1の保護膜115が形成されている。また、第2の接続用電極122の上には第3のバンプ123が形成されていると共に、第2の検査用電極121の上には第4のバンプ124が形成されており、第2の半導体チップ120の主面における第3のバンプ123及び第4のバンプ124が形成されていない領域には第2の保護膜125が形成されている。この場合、第1、第2、第3及び第4のバンプ113、114、123、124は、それぞれ無電解めっき法により形成されたZn層、Ni層及びAu層よりなる3層構造を有している。

【0033】第1の接続用電極112と第1の検査用電極111とは図示しない第1の金属配線により接続されていると共に、第2の接続用電極122と第2の検査用電極121とは第2の金属配線126により接続されている。これにより、第1の検査用電極111は第1の接続用電極112を介して第1の機能素子と電気的に接続されていると共に、第2の検査用電極121は第2の接続用電極122を介して第2の機能素子と電気的に接続

されている。尚、第1の検査用電極111は第1の接続用電極112を介すことなく第1の機能素子と直接に接続されていてもよいし、また、第2の検査用電極121は第2の接続用電極122を介すことなく第2の機能素子と直接に接続されていてもよい。

【0034】第1のバンプ113と第3のバンプ123とが接合することにより、第1の接続用電極112と第2の接続用電極122とは電気的に接続されている。また、第1の半導体チップ110と第2の半導体チップ120とは、それぞれの主面が対向する状態で両者の間に介在する絶縁性樹脂130により一体化されている。

【0035】第1の実施形態に係る半導体装置によると、第1の半導体チップ110においては第1の接続用電極112と第1の検査用電極111とを設けると共に、第2の半導体チップ120においては第2の接続用電極122と第2の検査用電極121とを設けたため、第1及び第2の検査用電極111、121にプローブ端子を接触する一方、第1及び第2の接続用電極112、122にプローブ端子を接触することなく、プローブ検査を行なうことができる。このため、第1及び第2の接続用電極112、122にプローブ検査工程において傷が付着する事態を回避できるので、該第1及び第2の接続用電極112、122の上に、良好な形状を持ち且つ高さが均一な第1及び第3のバンプ113、123を形成することができ、これにより、第1のバンプ113と第2のバンプ123との接合が確実になる。

【0036】また、プローブ端子が接続されるために所定の大きさが必要な第1及び第2の検査用電極111、121の数をプローブ検査に必要な限度で低減することができる。また、第1及び第2の接続用電極112、122の面積を第1及び第3のバンプ113、123を介して接合できる程度に小さくできると共に、第1及び第2の接続用電極112、122は面積が小さいために配置する場所に制約がなくなり、第1及び第2の半導体チップ110、120の主面における僅かな領域に設けることができる。このため、第1及び第2の半導体チップ110、120を小型化することが可能になる。

【0037】また、第1、第2、第3及び第4のバンプ113、114、123、124を無電解めっき法により形成するため、第1及び第2の検査用電極111、121並びに第1及び第2の接続用電極112、122を無電解めっき液に浸漬するだけで、第1、第2、第3及び第4のバンプ113、114、123、124を選択的に形成できるので、製造コストを低減することができる。

【0038】また、第2の半導体チップ120は第1の半導体チップ110よりも大きいと共に、第2の検査用電極121は第2の半導体チップ120の周縁部における第1の半導体チップ110と対向していない領域に形成されているため、第2の検査用電極121にプローブ

端子を接触させて、第1の半導体チップ110と第2の半導体チップ120とが一体化されてなる半導体装置に対してプローブ検査を行なうことができる。

【0039】以下、第1の実施形態に係る半導体装置の製造方法について図2～図10を参照しながら説明する。

【0040】まず、第1の機能素子が形成された第1の半導体チップ110の正面に第1の検査用電極111及び第1の接続用電極112を形成した後、図2に示すように、第1の半導体チップ110の正面における第1のバンプ113及び第2のバンプ114を形成しない領域に第1の保護膜115を堆積し、その後、第1の検査用電極111及び第1の接続用電極112に対して脱脂処理及びライトエッティングを行なって、第1の検査用電極111及び第1の接続用電極112の表面に形成された自然酸化膜116のうち第1の保護膜115から露出する部分を除去する。

【0041】次に、第1の検査用電極111及び第1の接続用電極112の再酸化を防止するために、無電解Niめっきの前処理工程として、第1の検査用電極111及び第1の接続用電極112の表面に対してZn置換処理を行なって、図3に示すように、第1の検査用電極111及び第1の接続用電極112の表面にZn層117を形成する。尚、前処理工程としては、Zn層117を形成する代わりに、Pd層やNi層を形成してもよい。

【0042】次に、第1の検査用電極111及び第1の接続用電極112を無電解Niめっき液に浸漬して、図4に示すように、第1及び第2のバンプ113、114のコアとなるNi厚付け層118を形成する。

【0043】次に、第1の検査用電極111及び第1の接続用電極112を無電解Auめっき液に浸漬して、図5に示すように、Ni厚付け層118の表面にAu層119を形成する。これにより、Zn層、Ni層及びAu層の3層構造よりなる第1及び第2のバンプ113、114が形成される。

【0044】尚、図示は省略しているが、第2の機能素子が形成された第2の半導体チップ120の正面に第2の検査用電極121及び第2の接続用電極122を形成した後、第2の半導体チップ120の正面における第3のバンプ123及び第4のバンプ124を形成しない領域に第1の保護膜125を堆積し、その後、第2の検査用電極121及び第2の接続用電極122の表面に、Zn層、Ni層及びAu層よりなる第3及び第4のバンプ123、124を形成する。

【0045】以下、第1及び第2の検査用電極111、121、第1及び第2の接続用電極112、122並びに第1～第4のバンプ113、114、123、124の寸法及び具体的な製造方法について説明する。

【0046】第1の実施形態においては、第1及び第2の検査用電極111、121の寸法は92×92μm、

ピッチは150μmであって、第1及び第2の接続用電極112、122の寸法は15μmφ、ピッチは30μmである。また、第1及び第2の検査用電極111、121並びに第1及び第2の接続用電極112、122は、スパッタ法により形成し、厚さは約1μmであって、材料はAl-1%Si-0.5%Cuである。

【0047】第1及び第2の保護膜115、125は厚さ1μmのSi₃N₄膜である。

【0048】第1及び第2の検査用電極111、121並びに第1及び第2の接続用電極112、122に対するライトエッティング処理としては、第1及び第2の検査用電極111、121並びに第1及び第2の接続用電極112、122をリン酸溶液又はNaOH溶液に浸漬して、各電極の表面を0.1μm程度除去する。

【0049】第1及び第2の検査用電極111、121並びに第1及び第2の接続用電極112、122に対するZn置換処理としては、約50nmの膜厚を有するZn層117を形成する。

【0050】Ni厚付け層118の形成工程としては、無電解Niめっき液として硫酸ニッケルを主成分とするものを用いて、90℃の無電解Niめっき液に10分間浸漬することにより行ない、厚さが約4μmのNi厚付け層118を析出させる。

【0051】Au層119の形成工程としては、無電解Auめっき液としてシアン系のものを用いて、90℃の無電解Auめっき液に30分間浸漬することにより行ない、厚さが0.1～0.3μm程度のAu層119を形成する。尚、通常の膜厚のAu層119に代えて厚肉のAu層を形成する場合には、Au層119の表面に厚付け用のAuめっきを行なう。この場合には、73℃のシアン系のめっき液に20分程度浸漬することにより、厚さが約2μm程度のAu層を形成する。

【0052】以下、第1の半導体チップ110と第2の半導体チップ120とを積層して一体化する工程について説明する。

【0053】まず、図6に示すように、第1の半導体チップ110をその裏面から加圧ツール132により保持した状態で、第1の半導体チップ110の第1のバンプ113と第2の半導体チップ120の第3のバンプ123とを位置合わせする。

【0054】次に、図7に示すように、第3のバンプ123の上に全面に亘って光硬化型の絶縁性樹脂130を塗布した後、図8に示すように、加圧ツール132を降下させて第1の半導体チップ110を第2の半導体チップ120に対して押圧することにより、第1のバンプ113と第3のバンプ123とを接合する。この工程において、第1の半導体チップ110を第2の半導体チップ120に対して押圧すると、絶縁性樹脂130は第1のバンプ113と第3のバンプ123と間から周辺に押し出されて両者の間には実質的に残存しない。

【0055】次に、図9に示すように、第1の半導体チップ110と第2の半導体チップ120との間に存在する絶縁性樹脂130に対して紫外線照射装置133から紫外線を照射して絶縁性樹脂130を硬化させることにより、第1の半導体チップ110と第2の半導体チップ120とを一体化する。

【0056】次に、図10に示すように、加圧ツール132を上昇させて、第1の半導体チップ110の裏面に加えていた加圧力を解放すると、第1の実施形態に係る半導体装置が得られる。

【0057】(第2の実施の形態)以下、本発明の第2の実施形態に係る半導体装置について、図11を参照しながら説明する。

【0058】第2の実施形態において、第1の実施形態と同様の部材には同一の符号を付すことにより説明を省略する。

【0059】第2の実施形態の特徴として、第1のバンプ113又は第3のバンプ123の先端部には、第1のバンプ113と第2のバンプ123との隙間のばらつきを吸収する軟金属よりなる隙間調整用バンプ135が一体的に設けられている。このため、第1又は第2の接続用電極112、122の面積が異なることに起因して第1のバンプ113と第3のバンプ123との隙間にばらつきが生じても、第1のバンプ113と第3のバンプ123とを確実に接合することができるので、第1の接続用電極112と第2の接続用電極122とを確実に接続することができる。

【0060】以下、第2の実施形態に係る半導体装置の製造方法について図12～図18を参照しながら説明する。

【0061】まず、第1の実施形態に係る半導体装置の製造方法と同様にして、第1の機能素子が形成された第1の半導体チップ110の正面に第1の検査用電極111及び第1の接続用電極112を形成した後、第1の半導体チップ110の正面における第1のバンプ113及び第2のバンプ114を形成しない領域に第1の保護膜115を堆積する(図11を参照)。その後、第1の検査用電極111及び第1の接続用電極112の表面に形成された自然酸化膜のうち第1の保護膜115から露出する部分を除去した後、第1の検査用電極111及び第1の接続用電極112に第2のバンプ114及び第1のバンプ113をそれぞれ形成する。

【0062】次に、図12に示すように、基板136の上における第1のバンプ113と対応する位置に、電解めつき法によりインジウムやインジウム-錫合金等の軟金属よりなる隙間調整用バンプ135を形成する。隙間調整用バンプ135は、直径が約10～20μmφで、高さが5～10μm程度に形成する。その後、第1の半導体チップ110をその裏面から加圧・加熱ツール137により保持した状態で、第1の半導体チップ110の

第1のバンプ113と基板136上の隙間調整用バンプ135とを位置合わせする。その後、加圧・加熱ツール137を下降させて、隙間調整用バンプ135を第1のバンプ113に熱転写した後、図13に示すように、加圧・加熱ツール137を上昇させる。この場合、加圧・加熱ツール137の温度は150℃～250℃程度であって、加圧力は1つの第1の接続用電極112当たり約1～10g程度である。このような加圧力で熱転写すると、軟金属よりなる隙間調整用バンプ135が変形し

10 第1のバンプ113に熱転写された隙間調整用バンプ135の先端面の第1の半導体チップ110の正面からの高さが均等になる。

【0063】尚、隙間調整用バンプ135の形成方法としては、熱転写法に代えて、軟金属の溶融液に第1のバンプ113の先端部をディップすることにより、第1のバンプ113の先端部に隙間調整用バンプ135を一体に形成してもよい。

【0064】次に、第1の実施形態に係る半導体装置の製造方法と同様にして、第2の機能素子が形成された第2の半導体チップ120の正面に第2の検査用電極121及び第2の接続用電極122を形成した後、第2の半導体チップ120の正面における第3のバンプ123及び第4のバンプ124を形成しない領域に第2の保護膜125を堆積する(図11を参照)。その後、第2の検査用電極121及び第2の接続用電極122の表面に形成された自然酸化膜のうち第2の保護膜125から露出する部分を除去した後、第2の検査用電極121及び第2の接続用電極122に第4のバンプ124及び第3のバンプ123をそれぞれ形成する。

20 【0065】次に、図14に示すように、第1の半導体チップ110をその裏面から加圧・加熱ツール137により保持した状態で、第1の半導体チップ110の第1のバンプ113と第2の半導体チップ120の第3のバンプ123とを位置合わせする。

【0066】次に、図15に示すように、第3のバンプ123の上に全面に亘って光硬化型の絶縁性樹脂130を塗布した後、図16に示すように、加圧・加熱ツール137を降下させて第1の半導体チップ110を第2の半導体チップ120に対して押圧することにより、第1のバンプ113と第3のバンプ123とを接合する。絶縁性樹脂130は第1のバンプ113と第3のバンプ123と間から周辺に押し出されて両者の間には実質的に残存しない。

40 【0067】次に、図17に示すように、第1の半導体チップ110と第2の半導体チップ120との間に存在する絶縁性樹脂130に対して紫外線照射装置133から紫外線を照射して絶縁性樹脂130を硬化させることにより、第1の半導体チップ110と第2の半導体チップ120とを一体化する。

【0068】次に、図18に示すように、加圧・加熱ツ

ール137を上昇させて、第1の半導体チップ110の裏面に加えていた加圧力を解放すると、第2の実施形態に係る半導体装置が得られる。

【0069】尚、第1及び第2の実施形態においては、第1の検査用電極111に第2のバンプ114を形成すると共に第2の検査用電極121に第4のバンプ124を形成したが、第2のバンプ114及び第4のバンプ124は形成しなくてもよい。

【0070】また、第1及び第2の実施形態においては、第1の接続用電極112に第1のバンプ113を形成すると共に、第2の接続用電極122に第3のバンプ123を形成したが、第1のバンプ113及び第3のバンプ123のうちの一方のバンプはなくてもよい。この場合には、第1の接続用電極122と第2の接続用電極122とは第1のバンプ113又は第3のバンプ123を介して接合される。

【0071】

【発明の効果】請求項1の発明に係る半導体装置によると、第1及び第2の接続用電極にプローブ検査用のプローブ端子を接触する必要がないため、プローブ検査工程において第1及び第2の接続用電極に傷が付着しないので、第1又は第2の接続用電極の上に形成されるバンプの形状がいびつになったりバンプの高さにばらつきが生じたりする事態を回避でき、これにより、第1の接続用電極と第2の接続用電極とがバンプを介して確実に接合する。

【0072】また、従来は、接続用と検査用とを兼ねた1種類の電極を備えていたため、すべての電極の面積をプローブ端子が接触可能な程度に大きくしていたが、請求項1の発明によると、電極を接続用と検査用とに分けたため、プローブ端子が接触可能な大きい面積の第1及び第2の検査用電極の数をプローブ検査に必要な最低限の数に低減できると共に、第1及び第2の接続用電極の面積をプローブ端子が接触しないのでバンプを介して接合可能な程度に小さくできるため、第1及び第2の半導体チップの大きさを小さくできるので、両者が一体化されてなる半導体装置の小型化を図ることができる。従って、請求項1の発明によると、異なるLSIが形成された半導体チップ同士が積層されてなる半導体装置の安定性及び信頼性の向上並びに小型化を図ることができる。

【0073】請求項2の発明に係る半導体装置によると、バンプは、該バンプの先端部と一体に形成され、該バンプの先端面と該バンプと対向する第1又は第2の接続用電極との隙間又は該バンプ同士の隙間のばらつきを吸収する隙間調整用バンプを有しているため、第1又は第2の接続用電極の大きさの不揃いに起因してバンプの高さがばらついても、第1の接続用電極と第2の接続用電極とを確実に接続することができる。また、第1の接続用電極と第2の接続用電極との接続を確実にするために第1の半導体チップと第2の半導体チップとを大きな

加圧力で押圧しなくてもよいため、第1の半導体チップに形成された第1の機能素子又は第2の半導体チップに形成された第2の機能素子の特性が大きな加圧力によって損なわれる事態を回避できるので、半導体装置の歩留まりが向上する。

【0074】請求項3の発明に係る半導体装置によると、隙間調整用バンプは軟金属よりなるため、バンプの先端部に隙間調整用バンプを転写する工程又は第1の半導体チップと第2の半導体チップとを互いに押圧する工程において隙間調整用バンプは容易に変形するので、隙間調整用バンプはバンプの先端面と該バンプと対向する第1又は第2の接続用電極との隙間又は該バンプ同士の隙間のばらつきを確実に吸収することができる。

【0075】請求項4の発明に係る半導体装置によると、第2の半導体チップは第1の半導体チップよりも大きいと共に、第2の検査用電極は第2の半導体チップの周縁部における第1の半導体チップと対向していない領域に形成されているため、第2の検査用電極にプローブ端子を接触させることにより、第1の半導体チップと第2の半導体チップとが一体化されてなる半導体装置に対して容易にプローブ検査を行なうことができる。

【0076】請求項5の発明に係る半導体装置によると、バンプは無電解めっき法により形成されているため、第1又は第2の接続用電極を無電解めっき液に浸漬するだけで、第1又は第2の接続用電極に選択的にバンプを形成することができるので、半導体装置の製造コストを低減することができる。

【0077】請求項6の発明に係る半導体装置の製造方法によると、第1の半導体チップの正面に第1の検査用電極及び第1の接続用電極を形成すると共に、第2の半導体チップの正面に第2の検査用電極及び第2の接続用電極を形成する工程を備えているため、第1及び第2の検査用電極をプローブ検査用に用いる一方、第1及び第2の接続用電極にはプローブ端子を接触させる必要がないので、第1又は第2の接続用電極の上に形成されるバンプの形状がいびつになったりバンプの高さにばらつきが生じたりする事態を回避でき、これにより、第1の接続用電極と第2の接続用電極とをバンプを介して確実に接合することができる。

【0078】請求項7の発明に係る半導体装置の製造方法によると、バンプ形成工程は、バンプの先端部に、該バンプの先端面と該バンプと対向する第1又は第2の接続用電極との隙間又は該バンプ同士の隙間のばらつきを吸収する隙間調整用バンプを一体的に形成する工程を含むため、第1又は第2の接続用電極の大きさの不揃いに起因してバンプの高さがばらついても、第1の接続用電極と第2の接続用電極とを確実に接続することができる。

【0079】請求項8の発明に係る半導体装置の製造方法によると、バンプ形成工程は、バンプの先端部に、軟

金属よりなる隙間調整用バンプを形成する工程を含むため、隙間調整用バンプが容易に変形するので、隙間調整用バンプは、バンプの先端面と該バンプと対向する第1又は第2の接続用電極との隙間又はバンプ同士の隙間のばらつきを確実に吸収することができる。

【0080】請求項9の発明に係る半導体装置の製造方法によると、バンプ形成工程は、隙間調整用バンプを基板の平坦面に形成しておいた後、隙間調整用バンプをバンプに転写するため、転写工程において、隙間調整用バンプの先端面の第1又は第2の半導体チップの正面からの高さが均等になるので、隙間調整用バンプは、バンプの先端面と該バンプと対向する第1又は第2の接続用電極との隙間又はバンプ同士の隙間のばらつきを確実に吸収することができる。

【0081】請求項10の発明に係る半導体装置の製造方法によると、電極形成工程は、第1の半導体チップよりも大きい第2の半導体チップの周縁部における第1の半導体チップと対向しない領域に第2の検査用電極を形成する工程を含むため、第1の半導体チップと第2の半導体チップとが一体化された状態で第2の検査用電極にプローブ端子を接触させることにより、第1の半導体チップと第2の半導体チップとが一体化されてなる半導体装置に対して容易にプローブ検査を行なうことができる。

【0082】請求項11の発明に係る半導体装置の製造方法によると、バンプ形成工程は、無電解めっき法によりバンプを形成する工程を含むため、第1又は第2の接続用電極を無電解めっき液に浸漬するだけで、第1又は第2の接続用電極に選択的にバンプを形成することができるので、半導体装置の製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の断面図である。

【図2】前記第1の実施形態に係る半導体装置の製造方法におけるライトエッティング工程を示す断面図である。

【図3】前記第1の実施形態に係る半導体装置の製造方法における無電解N_iめっきの前処理工程を示す断面図である。

【図4】前記第1の実施形態に係る半導体装置の製造方法における無電解N_iめっき処理工程を示す断面図である。

【図5】前記第1の実施形態に係る半導体装置の製造方法における無電解A_uめっき処理工程を示す断面図である。

【図6】前記第1の実施形態に係る半導体装置の製造方法におけるバンプ同士の位置合わせ工程を示す断面図である。

【図7】前記第1の実施形態に係る半導体装置の製造方法における絶縁性樹脂の塗布工程を示す断面図である。

【図8】前記第1の実施形態に係る半導体装置の製造方法におけるバンプ同士の接合工程を示す断面図である。

【図9】前記第1の実施形態に係る半導体装置の製造方法における絶縁性樹脂の硬化工程を示す断面図である。

【図10】前記第1の実施形態に係る半導体装置の製造方法における加圧力解放工程を示す断面図である。

【図11】本発明の第2の実施形態に係る半導体装置の断面図である。

【図12】前記第2の実施形態に係る半導体装置の製造方法における第1のバンプと隙間調整用バンプとの位置合わせ工程を示す断面図である。

【図13】前記第2の実施形態に係る半導体装置の製造方法における隙間調整用バンプの熱転写工程を示す断面図である。

【図14】前記第2の実施形態に係る半導体装置の製造方法における第1のバンプと隙間調整用バンプとの位置合わせ工程を示す断面図である。

【図15】前記第2の実施形態に係る半導体装置の製造方法における絶縁性樹脂の硬化工程を示す断面図である。

【図16】前記第2の実施形態に係る半導体装置の製造方法におけるバンプ同士の接合工程を示す断面図である。

【図17】前記第2の実施形態に係る半導体装置の製造方法における絶縁性樹脂の硬化工程を示す断面図である。

【図18】前記第2の実施形態に係る半導体装置の製造方法における加圧力解放工程を示す断面図である。

【図19】従来の半導体装置の断面図である。

【図20】従来の半導体装置の製造方法におけるアルミニ電極とバンプとの第1の接合構造を示す断面図である。

【図21】従来の半導体装置の製造方法におけるアルミニ電極とバンプとの第2の接合構造を示す断面図である。

【図22】従来の半導体装置の製造方法において無電解めっき法によりバンプを形成する工程を示すフロー図である。

【符号の説明】

110 第1の半導体チップ

111 第1の検査用電極

40 112 第1の接続用電極

113 第1のバンプ

114 第2のバンプ

115 第1の保護膜

117 Zn層

118 Ni厚付け層

119 Au層

120 第2の半導体チップ

121 第2の検査用電極

122 第2の接続用電極

50 123 第3のバンプ

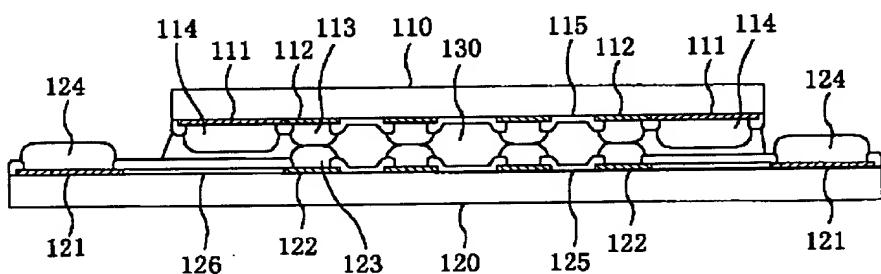
17

124 第4のバンプ
125 第2の保護膜
130 絶縁性樹脂
132 加圧ツール

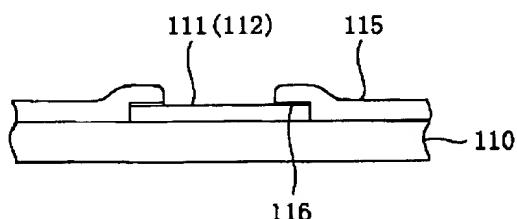
18

133 紫外線照射装置
135 隙間調整用バンプ
136 基板
137 加圧・加熱ツール

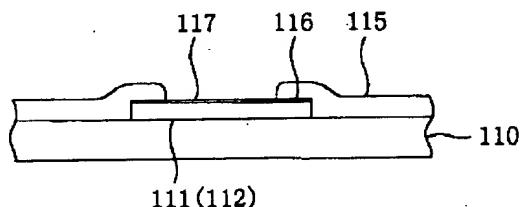
【図1】



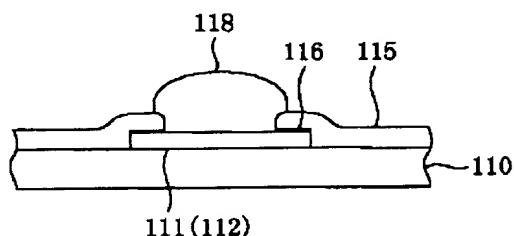
【図2】



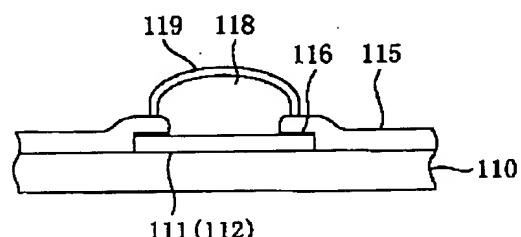
【図3】



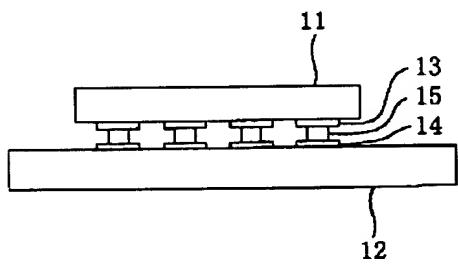
【図4】



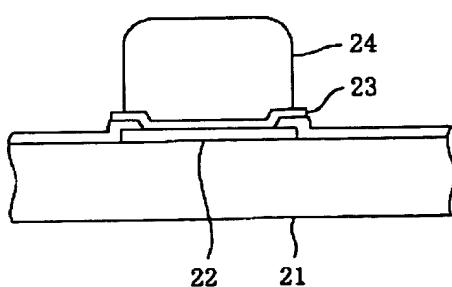
【図5】



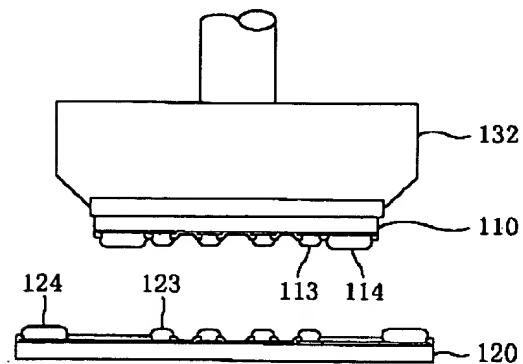
【図19】



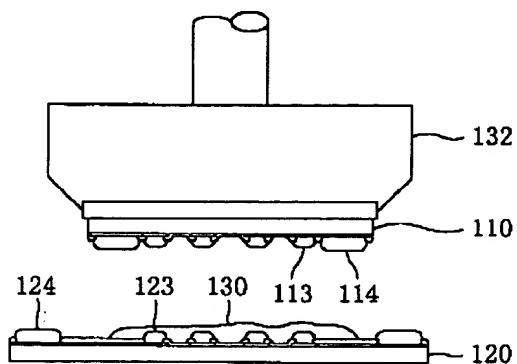
【図20】



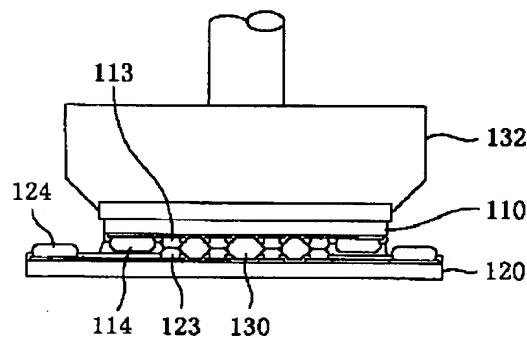
【図6】



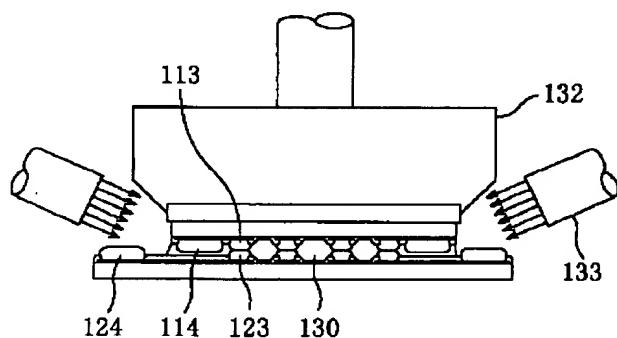
【図7】



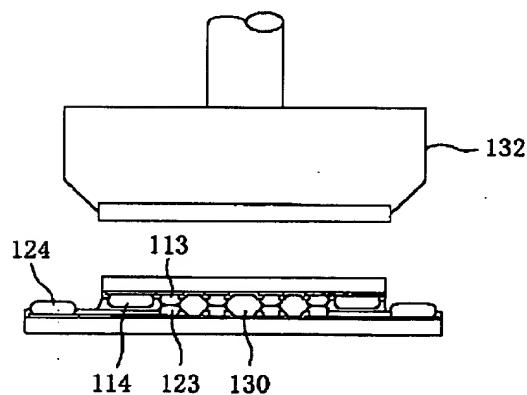
【図8】



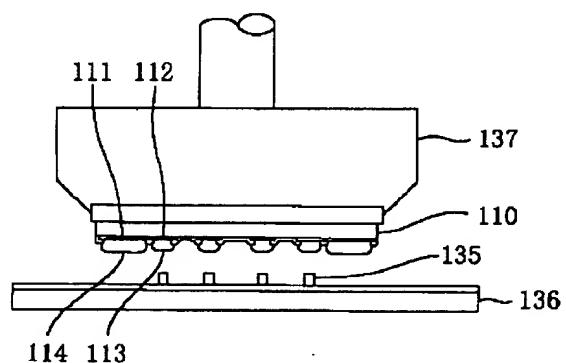
【図9】



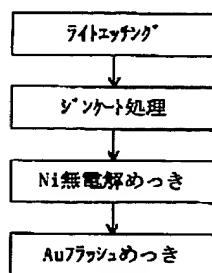
【図10】



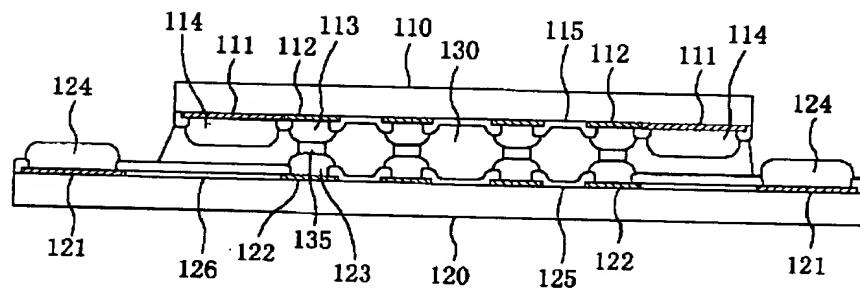
【図12】



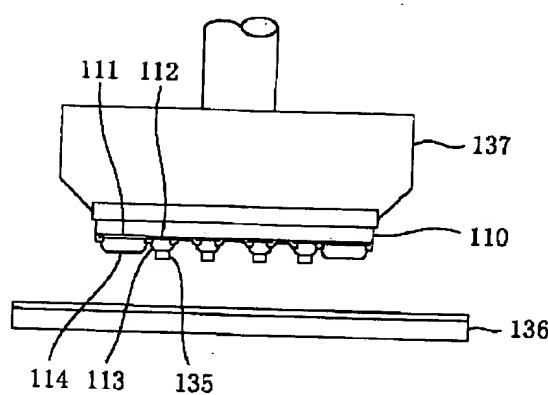
【図22】



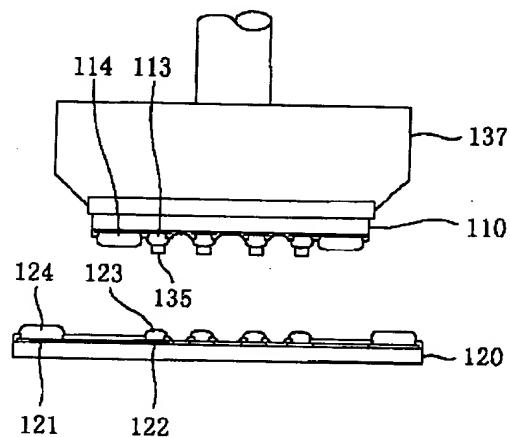
【図11】



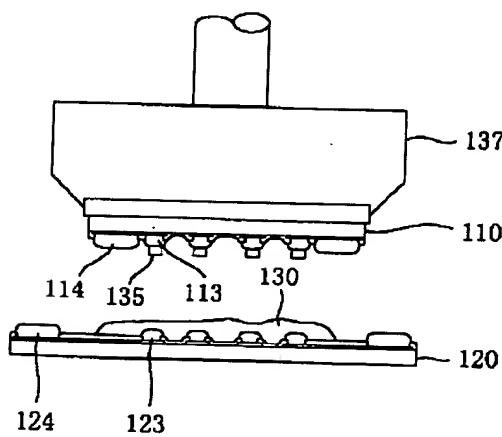
【図13】



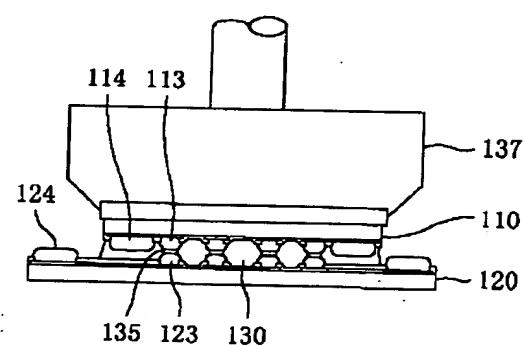
【図14】



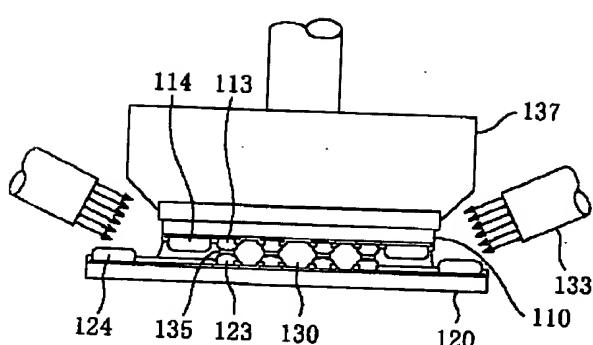
【図15】



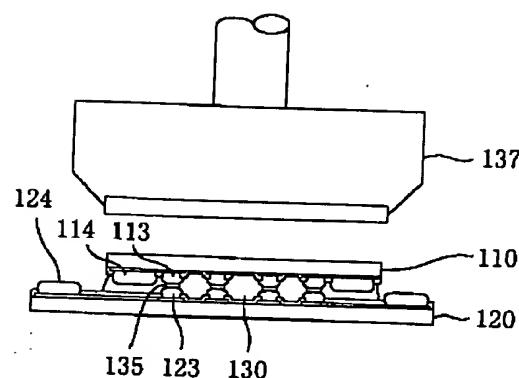
【図16】



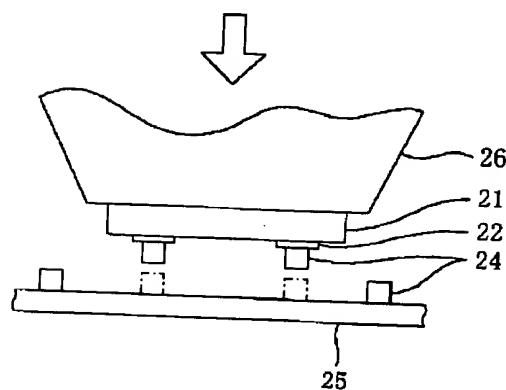
【図17】



【図18】



【図21】



フロントページの続き

(72) 発明者 山根 一郎

大阪府高槻市幸町1番1号 松下電子工業
株式会社内